

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKewed/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

PAT-NO: JP408340260A
DOCUMENT-IDENTIFIER: JP 08340260 A
TITLE: CODE ERROR CORRECTION CIRCUIT
PUBN-DATE: December 24, 1996

INVENTOR-INFORMATION:
NAME
ISHIZUKA, TSUKASA

ASSIGNEE-INFORMATION:
NAME JAPAN RADIO CO LTD
COUNTRY
N/A

APPL-NO: JP07146343
APPL-DATE: June 13, 1995

INT-CL (IPC): H03M013/00

ABSTRACT:

PURPOSE: To reduce a hardware scale and to shorten processing time.

CONSTITUTION: A data generator 3 generates 2M pieces of M-bit data, the inspection bits of N bits are added to the M-bit data in an encoding circuit and the block code of (M+N) bits is generated. An error addition circuit 5 generates the random error of P bits to the block code and performs output as an error addition code. In a memory 2, the M-bit data are written with the error addition code as a write address. At the time of performing a decoding processing, the check bits of N bits are added to the transmission data of M

bits, a block encoded block code string is received as a reception block code string and a shift register 1 accesses the memory with the block code as a read address for the respective block codes of the reception block code string and reads stored data as error correction data.

COPYRIGHT: (C)1996,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-340260

(43)公開日 平成8年(1996)12月24日

(51)Int.Cl.⁹

H 0 3 M 13/00

識別記号

庁内整理番号

F I

H 0 3 M 13/00

技術表示箇所

審査請求 未請求 請求項の数3 O L (全 4 頁)

(21)出願番号 特願平7-146343

(22)出願日 平成7年(1995)6月13日

(71)出願人 000004330

日本無線株式会社

東京都三鷹市下連雀5丁目1番1号

(72)発明者 石塚 司

東京都三鷹市下連雀5丁目1番1号 日本無線株式会社内

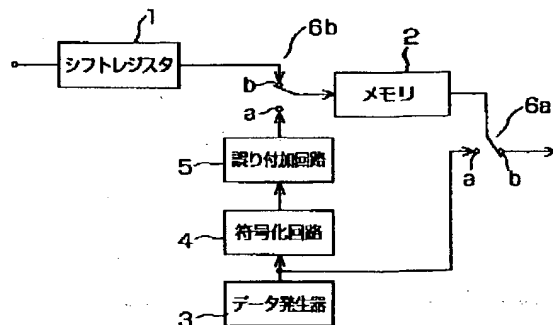
(74)代理人 弁理士 後藤 洋介 (外2名)

(54)【発明の名称】 符号誤り訂正回路

(57)【要約】

【目的】 符号誤り訂正回路において、ハードウェア規模を少なくして処理時間を短縮する。

【構成】 データ発生器3は 2^M 個のMビットデータを発生し、符号化回路4でMビットデータに対してNビットの検査ビットを付加して $(M+N)$ ビットのブロック符号を生成する。誤り付加回路5はこのブロック符号に対してPビットのランダム誤りを発生させて誤り付加コードとして出力する。メモリ2には誤り付加コードを書き込みアドレスとしてMビットデータが書き込まれる。復号処理を行う際には、Mビットの送信データに対してNビットの検査ビットを付加してブロック符号化されたブロック符号列を受信ブロック符号列として受け、シフトレジスタ1は受信ブロック符号列のブロック符号毎にブロック符号を読出アドレスとしてメモリ2をアクセスして記憶データを誤り訂正データとして読み出す。



【特許請求の範囲】

【請求項1】 Mビット（Mは正の整数）の送信データに対してNビット（Nは正の整数）の検査ビットを付加してブロック符号化されたブロック符号列を受信ブロック符号列として受け前記受信ブロック符号列を復号する復号装置に用いられ、予め定められた書き込みアドレスに対応して互いに異なる複数のMビットデータがそれぞれ記憶データとして格納されたメモリと、前記受信ブロック符号列のブロック符号毎に該ブロック符号を讀出アドレスとして前記メモリをアクセスして前記記憶データを誤り訂正データとして読み出す讀出手段とを有することを特徴とする符号誤り訂正回路。

【請求項2】 請求項1に記載された符号誤り訂正回路において、さらに、互いに異なる 2^M 個のMビットデータを発生するデータ発生器と、前記Mビットデータに対してNビットの検査ビットを付加して（M+N）ビットのブロック符号に符号化する符号化回路と、該（M+N）ビットのブロック符号に対してPビット（ $P < N$ ）のランダム誤りを発生させて誤り付加コードとして出力する誤り付加回路とを有し、前記誤り付加コードを書き込みアドレスとして前記Mビットデータが前記メモリに書き込まれるようにしたことを特徴とする符号誤り訂正回路。

【請求項3】 請求項1に記載された符号誤り訂正回路において、前記讀出手段は（M+N）ビットのシフトレジスタであり、前記Mビットデータを前記メモリに書き込む際前記メモリに前記データ発生器を接続するとともに前記誤り付加回路を前記メモリに接続するスイッチ手段が備えられており、前記誤り訂正データを生成する際該スイッチ手段は前記シフトレジスタに接続されるとともに出力端子に接続されるようにしたことを特徴とする符号誤り訂正回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はデータ通信に用いられ伝送路で発生する符号誤りを訂正する符号誤り訂正回路に関する。

【0002】

【従来技術】一般に、BCH符号等のブロック符号を受けて復号する復号化回路には、符号誤り訂正回路が備えられている。このようなブロック符号（例えば、BCH符号）を復号する際には、一般に次の方法が用いられている。

【0003】いま、符号多項式 $c(X)$ が送信側から送られたとする。そして、誤りパターンを表す多項式 $e(X)$ が加わり、受信多項式 $r(X) = c(X) + e(X)$ が得られたとする。まず、 $r(X)$ からシンδροームを求め、シンδροームから誤り位置多項式を求める。その後、誤り位置多項式の根を求め、これによって、誤り訂正を行う。このような誤り訂正を行う際に

は、一般に、多数の加算器及びシフトレジスタが必要となる。

【0004】

【発明が解決しようとする課題】上述のように、ブロック符号の復号化回路において、誤り訂正を行う際には、多数の加算器及びシフトレジスタが必要となっており、ハードウェア規模が大きくなってしまいうという問題点がある。一方、ソフトウェア処理によって誤り訂正を行おうとすると、極めて多くの加算処理及びデータシフト処理を行う必要がある関係上、処理時間が大きくなってしまいうという問題点がある。

【0005】本発明の目的はハードウェア規模が少なくても済みしかも処理時間を短縮できる符号誤り訂正回路を提供することにある。

【0006】

【課題を解決するための手段】本発明によれば、Mビット（Mは正の整数）の送信データに対してNビット（Nは正の整数）の検査ビットを付加してブロック符号化されたブロック符号列を受信ブロック符号列として受け前記受信ブロック符号列を復号する復号装置に用いられ、予め定められ互いに異なる複数のMビットデータが記憶データとして格納されたメモリと、前記受信ブロック符号列のブロック符号毎に該ブロック符号を讀出アドレスとして前記メモリをアクセスして前記記憶データを誤り訂正データとして読み出す讀出手段とを有することを特徴とする符号誤り訂正回路が得られる。

【0007】この符号誤り訂正回路は、さらに、互いに異なる 2^M 個のMビットデータを発生するデータ発生器と、前記Mビットデータに対してNビットの検査ビットを付加して（M+N）ビットのブロック符号に符号化する符号化回路と、該（M+N）ビットのブロック符号に対してPビット（ $P < N$ ）のランダム誤りを発生させて誤り付加コードとして出力する誤り付加回路とを有し、前記誤り付加コードを書き込みアドレスとして前記Mビットデータが前記メモリに書き込まれる。

【0008】そして、前記讀出手段は、例えば、（M+N）ビットのシフトレジスタであり、さらに、符号誤り訂正回路には、前記Mビットデータを前記メモリに書き込む際前記メモリに前記データ発生器を接続するとともに前記誤り付加回路を前記メモリに接続するスイッチ手段が備えられており、前記誤り訂正データを生成する際該スイッチ手段は前記シフトレジスタに接続されるとともに出力端子に接続される。

【0009】

【作用】本発明では、誤り付加コードを書き込みアドレスとしてMビットデータをメモリに書き込み、受信ブロック符号列のブロック符号毎にブロック符号を讀出アドレスとしてメモリをアクセスして記憶データを誤り訂正データとして読み出すようにしたから、符号誤り訂正処理を行う際、ハードウェア規模が少なく済みしかも処

理時間を短縮できる。

【0010】

【実施例】以下本発明について実施例によって説明する。

【0011】図1を参照して、本発明による符号誤り訂正回路は、シフトレジスタ1、メモリ2、データ発生器3、符号化回路4、誤り付加回路5、及びスイッチ6a及び6bを備えており、スイッチ6a及び6bは連動している。

【0012】いま、ブロック符号をデータビット数M (Mは正の整数)、検査ビット数N (Nは正の整数)として、Pビット ($P < N$) までの誤り訂正能力があるものとして説明する。なお、ここでは、便宜上データは全てバイナリーであるものとする。

【0013】図示の符号誤り訂正回路が起動されると、スイッチ6a及び6bはa端子側に切り替わる。データ発生器3はMビットの符号について全ての組み合わせを発生する。つまり、 2^M 個のデータ列を発生することになる。これらデータ列はスイッチ6aを介して順次メモリ2に後述するようにして格納される。

【0014】一方、データ発生器3から出力されたデータ列は符号化回路4でブロック符号に符号化される。つまり、データ列は $(M+N)$ ビットのブロック符号に符号化される。そして、ブロック符号は誤り付加回路5に与えられる。

【0015】誤り付加回路5では、 $(M+N)$ ビットのブロック符号に対して誤りをPビットまでのランダム誤りの全ての組み合わせについて付加して、誤り付加コードとして出力する。そして、これら誤り付加コードはスイッチ6bを介して書き込みアドレスとしてメモリ2に与えられる。この結果、メモリ2には書き込みアドレスに従って上述のデータ列が順次書き込まれることになる。

【0016】上述の処理は、一つのデータ列について、 $(M+N)$ ビットのブロック符号を生成し、このブロック符号に対して誤りをPビットまでの誤りの全ての組み合わせについて付加することになる。従って、異なる複数のアドレスに同一のデータ列が格納されることになる。

【0017】全てのデータ列がメモリ2に格納されると、スイッチ6a及び6bはb端子側に切り替わる。これによって、符号誤り訂正回路は復号可能状態となり、受信符号列 (ブロック符号列) がシフトレジスタ1に順

次入力される (シフトレジスタ1は $(M+N)$ ビットのシフトレジスタである)。1ブロック符号分がシフトレジスタ1に入力されると、シフトレジスタ1の内容を読出アドレスとしてメモリがアクセスされる。これによって、この読出アドレスに対応する格納データ列が読出データとしてメモリ2から読み出されることになる。

【0018】前述のように、誤り付加コードを書き込みアドレスとしてメモリ2にはデータ列が書き込まれているから、上記の読出データは受信符号の誤り訂正データとなる。

【0019】生成多項式が変更した際には、符号化回路4を変更すればよく、さらに、同一の符号を用いて同時に複数のデータ通信を行う際には、シフトレジスタ及びメモリを増設するだけで、複数のデータ通信に対応することができる。なお、生成多項式が不変であれば、メモリをリードオンリーメモリ (ROM) として上述した手法によってROMにデータを予め書き込んでおれば、回路規模 (ハードウェア規模) をさらに少なくすることができる。

【0020】上述の実施例では、データがバイナリーである場合について説明したが、多値符号においても同様にして本発明を適用することができる。

【0021】

【発明の効果】以上説明したように、本発明では、予め定められた書き込みアドレスに対応して互いに異なる複数のMビットデータをそれぞれメモリに記憶データとして格納しておき、受信ブロック符号列のブロック符号毎にブロック符号を読出アドレスとしてメモリをアクセスして記憶データを誤り訂正データとして読み出すようにしたから、符号誤り訂正処理を行う際ハードウェア規模が少なく済みしかも処理時間を短縮できるという効果がある。

【図面の簡単な説明】

【図1】本発明による符号誤り訂正回路の一実施例を示すブロック図である。

【符号の説明】

- 1 シフトレジスタ
- 2 メモリ
- 3 データ発生器
- 4 符号化回路
- 5 誤り付加回路
- 6 a, 6 b スイッチ

【図1】

